

PTO/SB/21 (08-03)
Approved for use through 08/30/2003. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/708,783	
	Filing Date	03/25/2004	
	First Named Inventor	Long-Hui Lin	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	3	Attorney Docket Number	LKSP0026USA

ENCLOSURES (Check all that apply)		
<input checked="" type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance communication to Technology Center (TC)
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment/Reply	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Change of Correspondence Address	<input type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Terminal Disclaimer	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> Request for Refund	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	<input type="checkbox"/> CD, Number of CD(s) _____	
<input type="checkbox"/> Response to Missing Parts/Incomplete Application	Remarks	
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT	
Firm or Individual name	Winston Hsu, Reg. No.: 41,526
Signature	<i>Winston Hsu</i>
Date	4/15/2004

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name			
Signature		Date	

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/17 (10-03)
Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

FEE TRANSMITTAL for FY 2004

Effective 10/01/2003. Patent fees are subject to annual revision.

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT (\$) 0.00

Complete if Known

Application Number	10/708,783
Filing Date	03/25/2004
First Named Inventor	Long-Hui Lin
Examiner Name	
Art Unit	
Attorney Docket No.	LKSP0026USA

METHOD OF PAYMENT (check all that apply)

☐ Check ☐ Credit card ☐ Money Order ☐ Other ☐ None

☒ Deposit Account:

Deposit Account Number 50-0801

Deposit Account Name North America International Patent Office

The Director is authorized to: (check all that apply)

☒ Charge fee(s) indicated below ☒ Credit any overpayments

☒ Charge any additional fee(s) or any underpayment of fee(s)

☐ Charge fee(s) indicated below, except for the filing fee to the above-identified deposit account.

FEE CALCULATION

1. BASIC FILING FEE

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1001	770	2001	385	Utility filing fee	
1002	340	2002	170	Design filing fee	
1003	530	2003	265	Plant filing fee	
1004	770	2004	385	Reissue filing fee	
1005	160	2005	80	Provisional filing fee	
SUBTOTAL (1)					(\$) 0.00

2. EXTRA CLAIM FEES FOR UTILITY AND REISSUE

Total Claims -20** = X =
Independent Claims -3** = X =
Multiple Dependent =

Large Entity		Small Entity		Fee Description	Fee Paid
Fee Code	Fee (\$)	Fee Code	Fee (\$)		
1202	18	2202	9	Claims in excess of 20	
1201	86	2201	43	Independent claims in excess of 3	
1203	290	2203	145	Multiple dependent claim, if not paid	
1204	86	2204	43	** Reissue independent claims over original patent	
1205	18	2205	9	** Reissue claims in excess of 20 and over original patent	
SUBTOTAL (2)					(\$) 0.00

**or number previously paid, if greater; For Reissues, see above

FEE CALCULATION (continued)

3. ADDITIONAL FEES

Large Entity Small Entity

Fee Code	Fee (\$)	Fee Code	Fee (\$)	Fee Description	Fee Paid
1051	130	2051	65	Surcharge - late filing fee or oath	
1052	50	2052	25	Surcharge - late provisional filing fee or cover sheet	
1053	130	1053	130	Non-English specification	
1812	2,520	1812	2,520	For filing a request for ex parte reexamination	
1804	920*	1804	920*	Requesting publication of SIR prior to Examiner action	
1805	1,840*	1805	1,840*	Requesting publication of SIR after Examiner action	
1251	110	2251	55	Extension for reply within first month	0.00
1252	420	2252	210	Extension for reply within second month	
1253	950	2253	475	Extension for reply within third month	
1254	1,480	2254	740	Extension for reply within fourth month	
1255	2,010	2255	1,005	Extension for reply within fifth month	
1401	330	2401	165	Notice of Appeal	
1402	330	2402	165	Filing a brief in support of an appeal	
1403	290	2403	145	Request for oral hearing	
1451	1,510	1451	1,510	Petition to institute a public use proceeding	
1452	110	2452	55	Petition to revive - unavoidable	
1453	1,330	2453	665	Petition to revive - unintentional	
1501	1,330	2501	665	Utility issue fee (or reissue)	
1502	480	2502	240	Design issue fee	
1503	640	2503	320	Plant issue fee	
1460	130	1460	130	Petitions to the Commissioner	
1807	50	1807	50	Processing fee under 37 CFR 1.17(q)	
1806	180	1806	180	Submission of Information Disclosure Stmt	
8021	40	8021	40	Recording each patent assignment per property (times number of properties)	
1809	770	2809	385	Filing a submission after final rejection (37 CFR 1.129(a))	
1810	770	2810	385	For each additional invention to be examined (37 CFR 1.129(b))	
1801	770	2801	385	Request for Continued Examination (RCE)	
1802	900	1802	900	Request for expedited examination of a design application	

Other fee (specify)

*Reduced by Basic Filing Fee Paid

SUBTOTAL (3) (\$) 0.00

SUBMITTED BY

Name (Print/Type)	Winston Hsu	Registration No. (Attorney/Agent)	41,526	Telephone	886289237350
Signature		Date	4/15/2004		

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

This collection of information is required by 37 CFR 1.17 and 1.27. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



PTO/SB/02B (11-00)
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

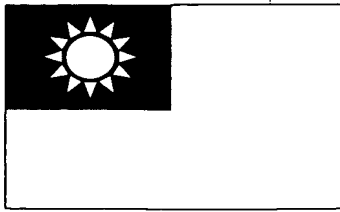
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092128336	Taiwan R.O.C	10/13/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 10 月 13 日
Application Date

申請案號：092128336
Application No.

申請人：力晶半導體股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 2 月 26 日
Issue Date

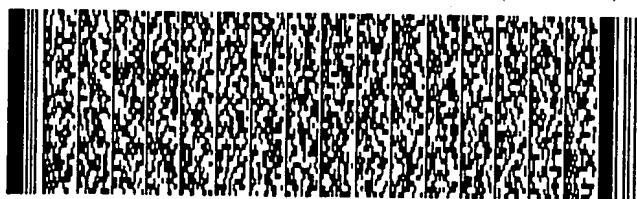
發文字號：09320183780
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	一種缺陷控制方法
	英文	METHOD OF DEFECT CONTROL
二、 發明人 (共1人)	姓名 (中文)	1. 林龍輝
	姓名 (英文)	1. LIN, LONG-HUI
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 新竹縣竹東鎮竹中路二十五之三號六樓之二
	住居所 (英文)	1. 6F-2, No. 25-3, Chu-Chung Rd., Chu-Tong Town, Hsin-Chu Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 力晶半導體股份有限公司
	名稱或姓名 (英文)	1. POWERCHIP SEMICONDUCTOR CORP.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹市科學工業園區力行一路十二號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 12, Li-Hsin Rd. I, Science-based Industrial Park, Hsin-Chu City 300, Taiwan, R.O.C.
	代表人 (中文)	1. 黃崇仁
	代表人 (英文)	1. HUANG, CHUNG-JENG

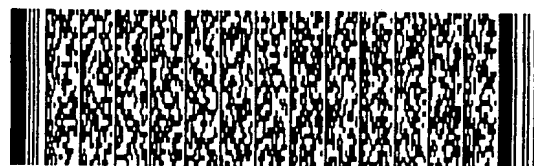


四、中文發明摘要 (發明名稱：一種缺陷控制方法)

一種一半導體製程中利用每日例行檢查來進行缺陷控制的方法，首先提供一已圖案化之晶片，該晶片表面包含有複數個第一缺陷，接著對該晶片進行一半導體製程，該半導體製程於該晶片上形成複數個第二缺陷，再對該晶片進行一缺陷偵測，以於偵測出該晶片上之複數個第一缺陷與該複數個第二缺陷，最後將所偵測到的該等缺陷依據一預設之資料庫進行缺陷分類，以將該複數個第一缺陷與該複數個第二缺陷分開，並依該資料庫將該複數個第二缺陷分類為複數個缺陷類型。

五、英文發明摘要 (發明名稱：METHOD OF DEFECT CONTROL)

A method of defect control by daily check is disclosed. First, a patterned wafer with a plurality of first defects is provided. After performing a semiconductor process which generates a plurality of second defects on the wafer, a defect detecting process is performed to detect the first defects and the second defects. Then, the first defects and the second defects are



四、中文發明摘要 (發明名稱：一種缺陷控制方法)

五、英文發明摘要 (發明名稱：METHOD OF DEFECT CONTROL)

divided according to a predetermined database. The second defects are classified to a plurality of defect types according to the predetermined database.



六、指定代表圖

(一)、本案代表圖為：第 ____ 四 ____ 圖

(二)、本案代表圖之元件代表符號簡單說明：

260 缺陷檢測

310 缺陷偵測

320 自動缺陷分類

330 異常警示

340 製程參數修正



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

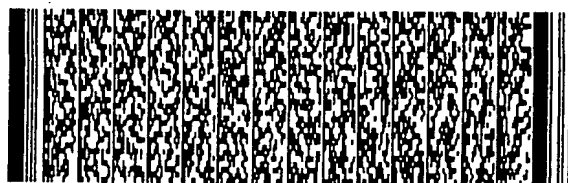
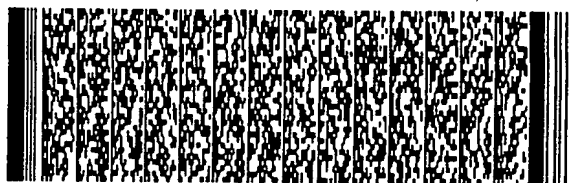
【技術領域】

本發明係提供一種缺陷控制方法，尤指一種半導體晶圓製程中利用一已圖案化晶片 (patterned wafer) 作為監控片 (monitor wafer) 之缺陷控制方法。

【先前技術】

在半導體製程中，往往會因為一些無法避免的原因而生成細小的微粒或缺陷，而隨著半導體製程中元件尺寸的不斷提高，這些極微小之缺陷或微粒對積體電路品質的影響也日趨嚴重，因此為維持產品品質的穩定，通常在進行各項半導體製程的同時，亦須針對所生產之半導體元件不斷進行測試，並根據測試結果來調整各製程參數，以抑制缺陷的產生，提升半導體製程之良率以及可靠度。

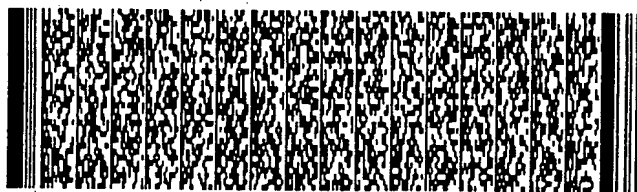
請參考圖一，圖一為一習知之半導體製程示意圖。如圖一所示，一半導體晶片在製作過程中須經過多道半導體製程，一般而言，一半導體晶片在一晶圓廠中大多經歷的數道之製程，為說明方便起見，圖一中僅以其中之數道製程來進行說明習知半導體製程中之缺陷控制方法。如圖一所示，製程 A 10、製程 B 20、製程 C 30、製程 D 40以及製程 E 50係分別代表五道半導體製程，並分別利用不同的機



五、發明說明 (2)

台進行。為了提升各製程之可靠度與穩定度，這些機台都必須進行一些固定的保養維護流程，例如每隔一段時間，將停機進行一次較詳細之預防保養 (preventative maintenance, PM) 工作，而在生產過程中，亦會進行一每日例行檢查 (daily check)，其係於正常的生產流程中，加入複數片裸片 (bare wafer) 作為監控片，並依同樣的製程參數來進行各半導體製程 (如前述之製程 A 10、製程 B 20、製程 C 30、製程 D 40 以及製程 E 50 等)，再分別對各裸片進行缺陷分析，以判別各製程機台是否符合繼續生產的標準。

除了機台本身的檢查外，為維護製程之穩定性以及產品之可靠度，通常還會針對生產線上的產品進行一些缺陷檢查。由於一半導體晶片的製造過程相當繁雜，往往包含了上千道的製程，因此通常在進行缺陷檢測時，多以數道製程為一站，利用分站的方式對各產品晶片進行抽樣檢測，例如圖一中的缺陷檢測 60 即是用來對製程 A、B、C 及 D 進行檢測。請參考圖二，圖二為習知技術中缺陷檢測 60 之方法示意圖。如圖二所示，習知缺陷檢測 60 之方法係於預定之一道或多道半導體製程 120 前後分別進行一預掃描製程 110 及一製程後掃描製程 130，以對晶片進行缺陷偵測，並將此二次缺陷偵測的結果進行比對，以得出在這一道或多道半導體製程 120 中產生之新增缺陷 140，接著再以人工的方式，讓工程師對這些新增缺陷 140 一一進行 SEM 再檢測 (SEM

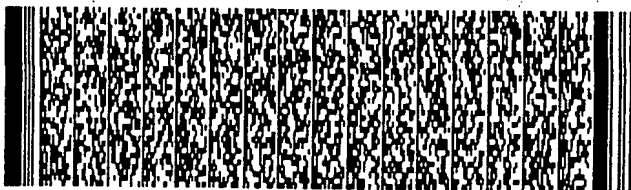


五、發明說明 (3)

review)150, 以進行後續之缺陷原因分析工作, 而在完成缺陷原因分析後, 更可進一步依分析之結果來重新修正製程機台之製程參數, 以避免同樣之缺陷再次發生。

然而在習知技術中, 不論是利用裸片來進行機台之每日例行檢查, 或是對線上產品進行分站抽測, 都仍存有許多缺點, 舉例來說, 前者需要耗費大量之裸片, 並會因此而降低生產線上機台之產能利用率, 造成製造成本的大幅提高, 且由於係利用裸片作為監控片, 因此一些因為多道製程而產生的整合型缺陷將無法在裸片測試中察覺, 而一些存在於產品中的偶發性異常狀況往往也會因不易觀測到而無法處理, 有些時候即使發現該類缺陷也常會因為資料不足, 而很難有效的進行缺陷分析及排除。

相較於前者, 後者雖無上述缺點, 但其方法卻相當繁複, 不但需要對欲檢測的半導體製程前後各進行一次缺陷掃描(預掃描製程 110及製程後掃描製程 130), 在得出新增缺陷 140後, 仍需進行大量的 SEM再檢測 150工作, 由於其需要大量的人力與時間, 因此在進行缺陷檢測與分析時, 多半必須要利用分站抽測的方式來進行, 而無法對每道製程進行大規模之檢測, 在這種狀況下, 往往當缺陷產生後, 仍要經過數道製程, 才會進行缺陷檢測 60, 缺陷檢測 60之偵測靈敏度自然也會因此而大幅降低, 而無法有效地對產品晶片上之各缺陷進行控制。此外由於習知之缺陷檢測 60方



五、發明說明 (4)

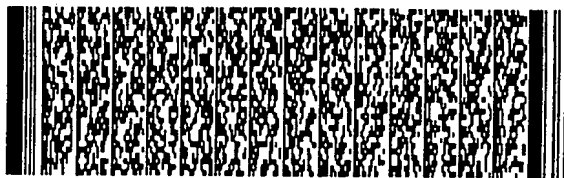
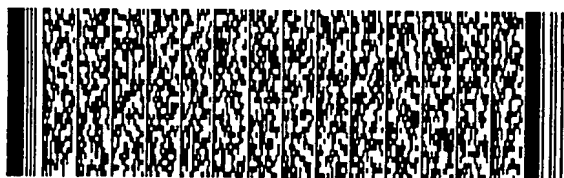
式需要相當長的的時間才能得出結果，因此一旦在缺陷檢測 60 中發現產品晶片上有異常狀況發生，並進一步分析出問題是出自於其中之某一道製程時（如製程 B），往往都已經過了數天了，換言之，這段時間內所製造的晶片都很有可能同樣的瑕疵，這將造成製程良率的下降以及成本的提高，而隨著晶圓尺寸由 8 吋提升到 12 吋，這些問題也將更為嚴重。

因此，目前迫切需要一種兼具低成本、對異常狀況快速反應且高靈敏度的缺陷控制方式，以解決上述問題。

【內容】

本發明之主要目的在於提供一種具兼具低成本、對異常狀況快速反應且高靈敏度的缺陷控制方式，以解決上述問題。

本發明之最佳實施例係揭露一種一半導體製程之缺陷控制方法，首先提供一已圖案化之晶片，在對該晶片進行該半導體製程之後，對該晶片進行一缺陷偵測，並利用一預設資料庫將所偵測到的複數個缺陷自動分類，過濾掉生成於進行該半導體製程之前之層缺陷，並將該半導體製程造成之缺陷分為高良率殺傷缺陷以及低良率殺傷缺陷，當該缺陷屬於高良率殺傷缺陷時，將會自動發出異常警示的電



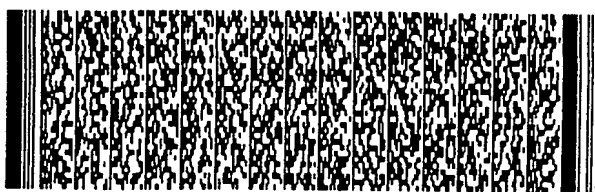
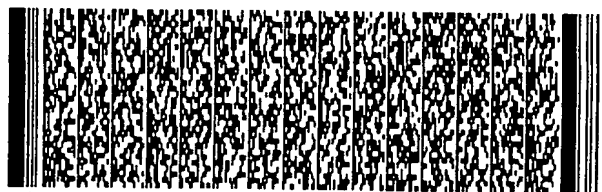
五、發明說明 (5)

子郵件與缺陷分析報告，以協助操作者能迅速修正製程參數，以排除該異常的發生。

由於本發明之缺陷控制方法係利用一產品晶片來缺陷檢測，並藉由一資料庫來進行自動缺陷分類，因此不需要進行預掃描製程即可將前層缺陷與新增缺陷區隔開來，並可進一步降低 SEM 缺陷再檢測的負擔，而大幅縮短反應時間並提升缺陷靈敏度，達到提升產品良率與可靠度之目的。

【實施方法】

請參考圖三與圖四，圖三與圖四為本發明中之一缺陷控制方法示意圖。如圖三所示，該晶片在製作過程中，需經歷製程 A 210、製程 B 220、製程 C 230、製程 D 240 以及製程 E 250 等五道半導體製程，而各半導體製程均會於該晶片上形成複數個缺陷，以下係以其中之製程 B 220 為例來說明本發明之缺陷控制方法。首先，本發明並不需以額外的裸片作為監控片，而直接以生產線上一已圖案化之晶片來進行測試，換言之，本發明所採用的測試來源係為產品晶片 (product wafer)，因此，當以一些非破壞性之方法進行測試後，仍然可將其置回生產線上進行下一階段之製程，而不會對產量有任何影響。此外，本發明之方法並可用來針對不同機台或不同反應室內的晶片進行檢查，以對潛在的高良率殺傷機台或反應室進行缺陷控制。

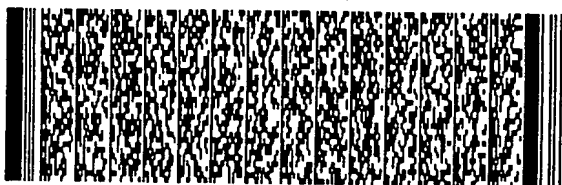


五、發明說明 (6)

而當該晶片在完成製程 B 220後，將會進行一缺陷檢測 260。如圖四所示，在本發明之缺陷控制方法中，缺陷檢測 260係先對該晶片進行一缺陷偵測 310，利用全晶片掃描的方式，將該晶片上之所有缺陷偵測出來，再利用一預設之資料庫對所偵測到之複數個進行缺陷自動缺陷分類 (automatic defect classification, ADC) 320，而將該等缺陷一資料庫內之設定，區分為不同之缺陷類型，在本發明之較佳實施例，係依形狀、大小、位置等參數將所偵測到之複數個缺陷中分為缺陷類型 A、缺陷類型 B、缺陷類型 C以及缺陷類型 D等四類。

值得注意的是在這一預設之資料庫內，係包含有各製程中所有可能產生之缺陷類型及其相對應之缺陷資訊，因此在進行完缺陷偵測 310後，只需與該資料庫內的資料進行比對，即可將在製程 B 220中產生之新增缺陷與在進行製程 B 220前就已經存在之缺陷 (例如製程 A 210所造成之缺陷) 分隔開，如圖四所示，在本發明之較佳實施例中，缺陷類型 A、缺陷類型 B與缺陷類型 C係為製程 B 220所造成之新增缺陷，而缺陷類型 D則為在製程 B 220 前已經存在之缺陷，亦即所謂之前層缺陷。

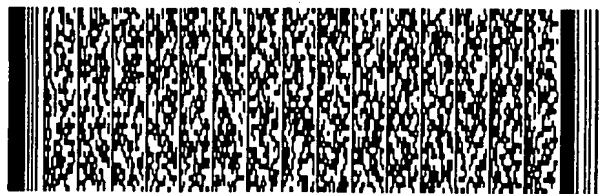
在本發明之缺陷控制方法中，資料庫內的缺陷資訊另包含有各類型缺陷對該製程良率之影響程度以及其可能發生原



五、發明說明 (7)

因，以依據各種新增缺陷(缺陷類型 A、缺陷類型 B與缺陷類型 C)中對該製程良率之影響程度予以不同之處置。舉例來說，在進行缺陷分類時，會根據該資料庫內的資料將各缺陷種類依對該製程良率之影響程度再次區分為高良率殺傷缺陷(killer defect)(如缺陷種類 A及 B)以及低良率殺傷缺陷(non-killer defect)(如缺陷種類 C)二類，並針對高良率殺傷缺陷的部分予以進一步處置。在本發明之較佳實施例中，該缺陷控制方法將於偵測到高良率殺傷缺陷時，會進一步根據所偵測到的缺陷類型去資料庫內搜尋其可能發生原因(如缺陷種類 A可能導因於原因 A)，並立刻發出異常警示 330，通知負責之工程師，例如可依據所偵測到的高良率殺傷缺陷之缺陷類型以及相關資料(例如：缺陷之種類、數量、位置以及可能生成原因)製作一缺陷分析報告，以 E-mail 的方式提供給工程師，使工程師能根據這些資料迅速地執行適當的處理，在最短的時間內進行製程參數修正 340，以解決該異常狀況。舉例來說，當資料庫中已有現成之資料時，工程師可直接根據資料庫所提供之資料來修正製程參數以避免下一批產品發生類似的狀況，並依缺陷的狀況來決定是否需對本批產品進行重工(rework)或直接廢棄。而若當資料庫內並無適當資料時，可視情況對所偵測到的缺陷進行進一步人工分析，並將分析結果更新至該資料庫。

本發明之缺陷控制方法係利用一已圖案化之晶片來作為監



五、發明說明 (8)

控片，而不用量，並因為可上並無任何限制，故可大幅減少裸片之在取樣範圍上並直接用線上檢查，可視狀況任意對測試，因此產品進行抽樣檢驗，而進行缺陷分析與排除。此外，在線上之產品進行偵測出來，而進行的缺陷往往不易發現，就算觀測到習知技術中，一些整合型問題到底是否做出錯誤的解析結果，而若到了，亦很難找出其問題，很容易會做出錯誤的解析結果，而若短時間內做出判斷，可靠度，則需花費大量的時間與人力去進行大規模的測試與檢驗，才能找出問題的真相。而發明則係配合一資料庫的使用，並藉由該資料庫來提供相當詳盡之資料讓操作者進行進一步分析，故能迅速處理該缺陷的發生原因做出正確地判斷，並予以適當地處理。

值得注意的是本發明之缺陷控制方法另包含有一缺陷分類步驟，由於缺陷的類型非常多，很多的缺陷對製程有嚴重影響，但亦有很多缺陷對製程並無太大影響，而會影響每一製程之關鍵缺陷亦不盡相同，因此在此配合一預設資料之庫與一自動缺陷分類工具的使用下，藉由此一缺陷分類之步驟直接將前層缺陷、高良率殺傷缺陷與低良率殺傷缺陷分開，相較於習知技術，不但可以省略掉一次缺陷掃描工作（預掃描製程），有效降低檢測機台在進行缺陷檢測260時之缺陷掃描工作，並可讓操作者能專注於高良率殺傷缺陷進行處理，而不必於低良率殺傷缺陷上浪費時間，以大

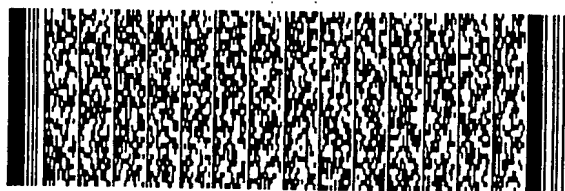
五、發明說明 (9)

幅降低 SEM 缺陷再檢測的工作負荷，達到縮減缺陷分析與排除之反應時間的功效。

由於本發明所使用之缺陷自動分類工具能大幅降低地缺陷檢測的工作負荷，因此本發明之缺陷控制方法能同時應用於多道半導體製程，對各高良率殺傷之半導體製程（如製程 B）予以一一監控，使晶片在一完成所欲監控的半導體製程後，將直接進行缺陷檢測 260，而不需如習知技術中在進行多道半導體製程之後才進行一次缺陷檢測，因此可大幅提昇本發明缺陷控制方法中之缺陷偵測靈敏度。

此外，本發明之缺陷控制方式除了一產品晶片來作為測試標的外，亦可視情況改用裸片來進行測試，舉例來說，一旦當發生裝備異常現象或要進行預防保養時，亦可配合裸片之使用來進行本發明之缺陷控制方法，以企達到一較佳之偵測效果。

相較於習知技術中之缺陷控制方式，本發明之缺陷控制方式係直接利用線上已圖案化之晶片進行測試，故不需利用裸片來進行每日例行檢測，因此可有效減少裸片之使用並提高生產能利用率。此外，對於一些偶發性異常狀況以及多道製程產生之整合型缺陷而言，本發明顯然更具有較高之靈敏度，在配合資料庫與自動缺陷分類工具的使用下，更可大幅縮短缺陷分析與排除的時間，有效降低半導體晶片



五、發明說明 (10)

之製造成本。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一與圖二習知之半導體製程的缺陷控制方法示意圖。

圖三與圖四為本發明中一半導體製程的缺陷控制方法示意圖。

圖式之符號說明

10	製程 A	20	製程 B
30	製程 C	40	製程 D
50	製程 E	60	缺陷檢測
110	預掃描製程	120	半導體製程
130	製程後掃描製程	140	新增缺陷
150	SEM 缺陷再檢測	210	製程 A
220	製程 B2	30	製程 C
240	製程 D	250	製程 E
260	缺陷檢測	310	缺陷偵測
320	自動缺陷分類	330	異常警示
340	製程參數修正		



六、申請專利範圍

1. 一種一半導體製程之缺陷控制方法，其包含有下列步驟：

提供一已圖案化之晶片 (patterned wafer)，該晶片表面包含有複數個第一缺陷；

對該晶片進行一半導體製程，該半導體製程於該晶片上形成複數個第二缺陷；

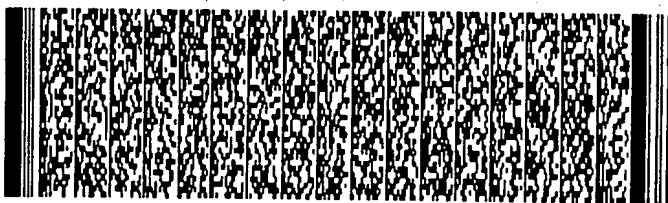
對該晶片進行一缺陷偵測，以於偵測出該晶片上之複數個第一缺陷與該複數個第二缺陷；以及

將所偵測到的該等缺陷依據一預設之資料庫進行缺陷分類，以將該複數個第一缺陷與該複數個第二缺陷分開，並該資料庫將該複數個第二缺陷分類為複數個缺陷類型。

2. 如申請專利範圍第 1 項的方法，其中該資料庫內係包含有各種缺陷類型之分類方式以及對應於各該缺陷類型之缺陷資訊。

3. 如申請專利範圍第 2 項的方法，其中各該缺陷類型之該缺陷資訊係包含有各該缺陷類型對該半導體製程之良率影響程度。

4. 如申請專利範圍第 3 項的方法，其中該方法於進行缺陷分類後，會依照各該缺陷類型對該半導體製程之良率影響程度，將所偵測到的該等第二缺陷區分為高良率殺傷缺陷 (killer defect) 以及低良率殺傷缺陷 (non-killer



六、申請專利範圍

defect)。

5.如申請專利範圍第4項的方法，其中該方法於偵測到高良率殺傷缺陷時，另包含有下列步驟：

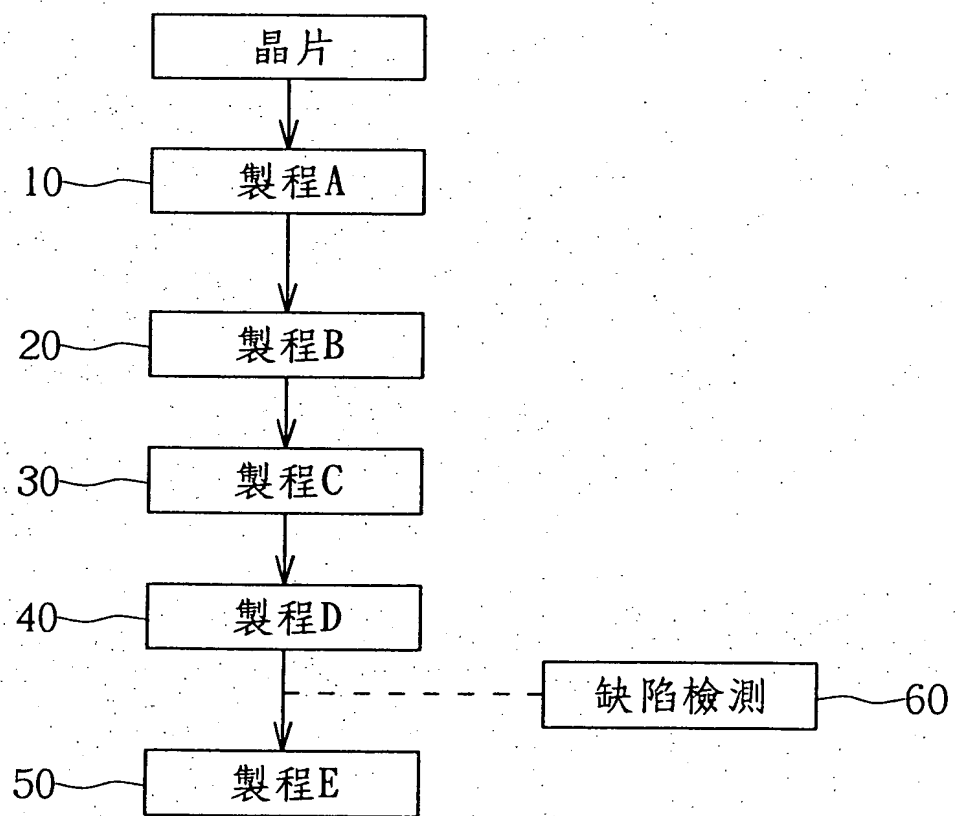
根據所偵測到的該缺陷中所屬之該缺陷類型進行缺陷生成原因分析；以及

通知該半導體製程之操控者，以協助該操控者對該半導體製程之製程參數進行修正。

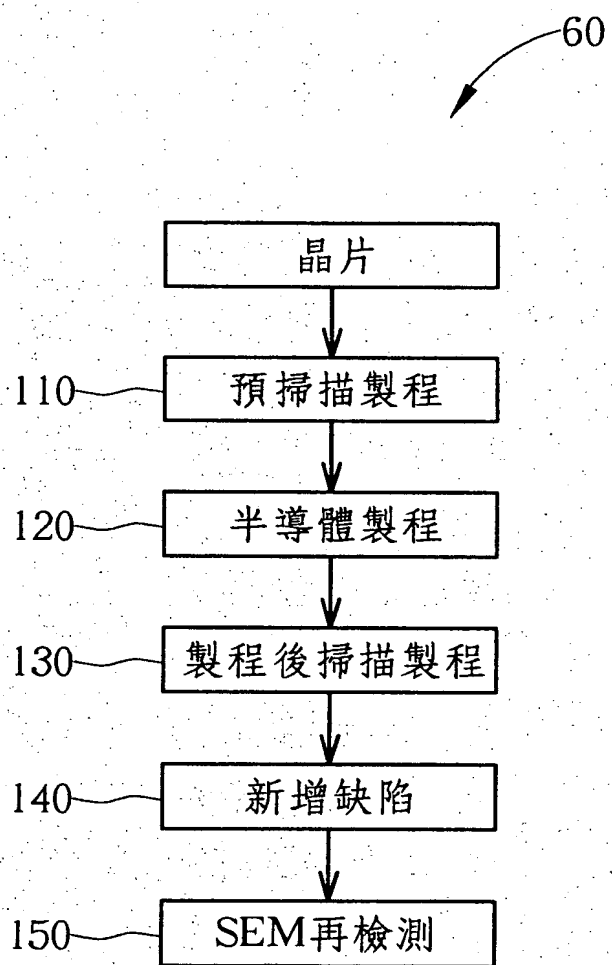
6.如申請專利範圍第1項的方法，其中該方法係利用一線(in-line)自動缺陷分類(automatic defect classification, ADC)工具來進行缺陷分類。

7.如申請專利範圍第1項的方法，其中該已圖案化之晶片係為一線上產品晶片(product wafer)。

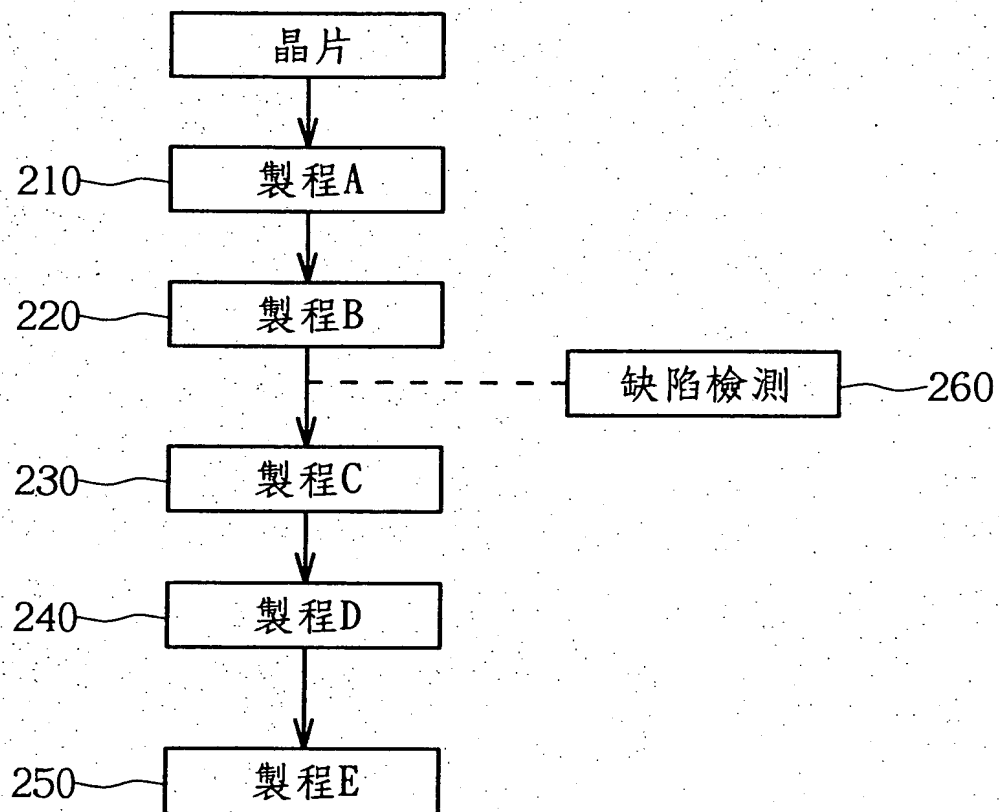




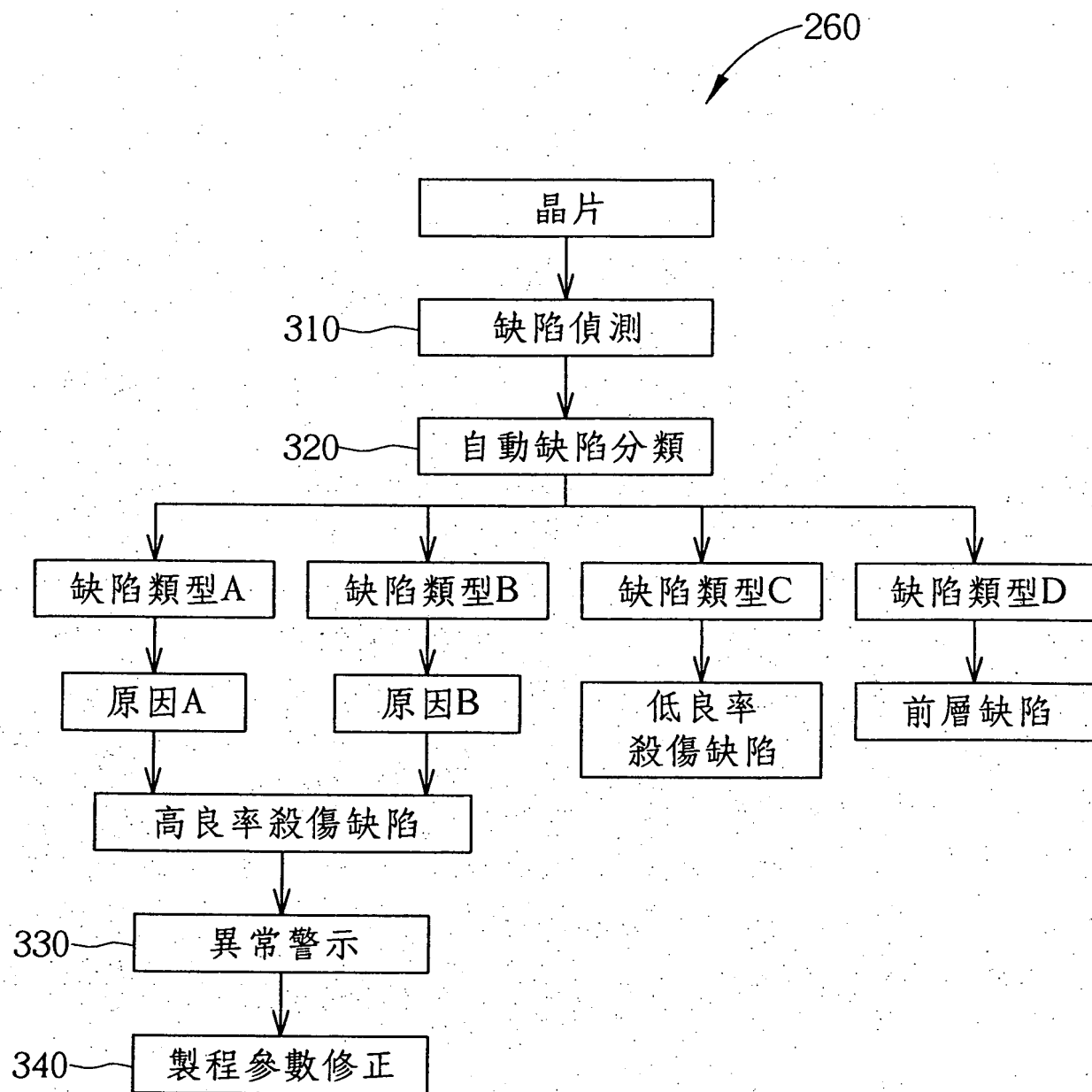
圖一



圖二

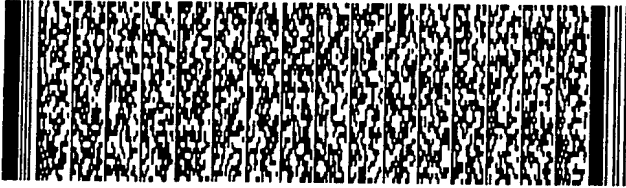


圖三



圖四

第 1/18 頁



第 2/18 頁



第 2/18 頁



第 3/18 頁



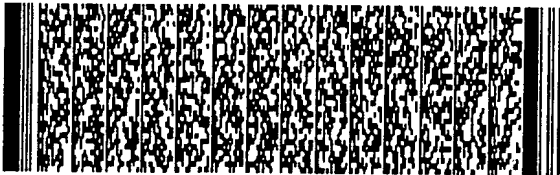
第 4/18 頁



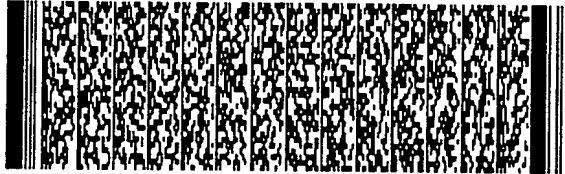
第 5/18 頁



第 6/18 頁



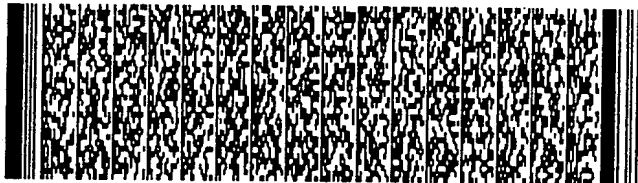
第 6/18 頁



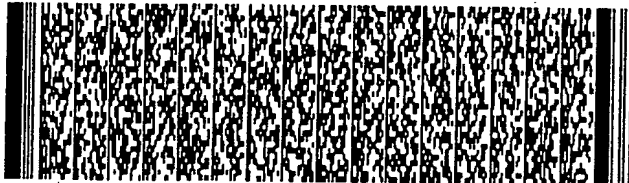
第 7/18 頁



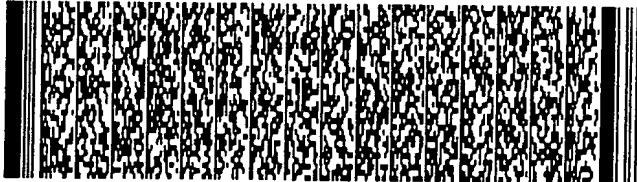
第 7/18 頁



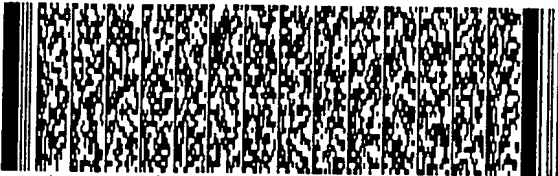
第 8/18 頁



第 8/18 頁



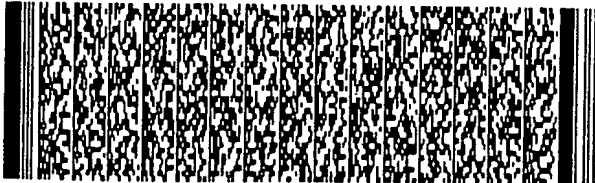
第 9/18 頁



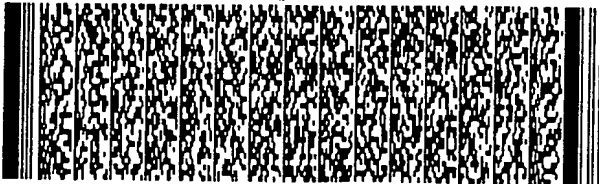
第 9/18 頁



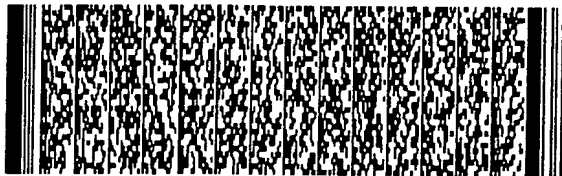
第 10/18 頁



第 10/18 頁



第 11/18 頁



第 11/18 頁



第 12/18 頁



第 12/18 頁



第 13/18 頁



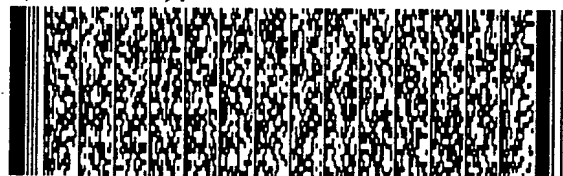
第 13/18 頁



第 14/18 頁



第 14/18 頁



第 15/18 頁



第 16/18 頁



第 17/18 頁



第 18/18 頁

